



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월30일
(11) 등록번호 10-2515928
(24) 등록일자 2023년03월27일

(51) 국제특허분류(Int. Cl.)
H02M 3/335 (2006.01) G01R 27/26 (2006.01)
H02M 1/08 (2006.01)
(52) CPC특허분류
H02M 3/33573 (2021.05)
G01R 27/2605 (2013.01)
(21) 출원번호 10-2022-0020907
(22) 출원일자 2022년02월17일
심사청구일자 2022년02월17일
(56) 선행기술조사문헌
Model Predictive Control With Power
Self-Balancing of the Output Parallel DAB
DC-DC Converters in Power Electronic
Traction(2018.04.05., IEEE 저널, Bin Yu 등)*
JP2017130997 A
KR101866095 B1
KR1020220017345 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)
(72) 발명자
최성진
울산광역시 남구 동산로69번길 13, 101동 802호
(신정동, 문수로2차아이파크)
즈엉 락 켓
울산광역시 남구 대학로 55번길 21, 104호 (무거
동)
(74) 대리인
김종선, 이형석

전체 청구항 수 : 총 10 항

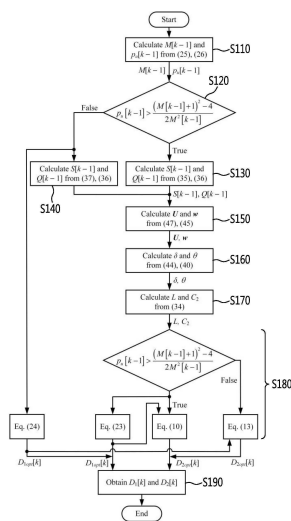
심사관 : 남기영

(54) 발명의 명칭 DAB 컨버터의 출력 전압 제어 방법 및 시스템

(57) 요약

발명의 실시예에 따른 DAB 컨버터의 출력 전압 제어 방법은, 이전 샘플링 주기에서의 제1 내부 위상 천이 듀티비와 제1 외부 위상 천이 듀티비를 가져오는 단계와, 상기 제1 내부 위상 천이 듀티비와 상기 제1 외부 위상 천이 듀티비를 기초로 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하는 단계와, 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 이용하여 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 단계와, 상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 이용하여 DAB 컨버터의 출력 전압을 제어하는 단계를 포함한다.

대표도 - 도6



(52) CPC특허분류

G01R 27/2611 (2013.01)

H02M 1/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711133200
과제번호	2020R1A2C2009303
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	불균일한 특성의 재사용 배터리로 구성된 에너지저장장치를 위한 공생형 배터리관리

시스템 요소기술 연구

기여율	1/2
과제수행기관명	울산대학교
연구기간	2020.03.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1425156913
과제번호	S3207312
부처명	중소벤처기업부
과제관리(전문)기관명	중소기업기술정보진흥원
연구사업명	2021년 사업연계형기술개발사업 추천기업 접수(디딤돌)
연구과제명	재사용배터리 진단 및 충방전을 위한 이동형 충방전기 개발

기여율	1/2
과제수행기관명	울산대학교 산학협력단
연구기간	2021.11.01 ~ 2023.10.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

둘 이상의 이전 샘플링 주기에서의 제1 내부 위상 천이 듀티비와 제1 외부 위상 천이 듀티비를 가져오는 단계;

상기 제1 내부 위상 천이 듀티비와 상기 제1 외부 위상 천이 듀티비를 기초로 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하는 단계;

상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 이용하여 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 단계; 및

상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 이용하여 DAB 컨버터의 출력 전압을 제어하는 단계를 포함하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 방법.

청구항 2

제1항에 있어서,

상기 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하는 단계는,

상기 제1 내부 위상 천이 듀티비, 상기 제1 외부 위상 천이 듀티비, 스위칭 주파수, 변압기 권선비, 및 이전 샘플링 주기에서의 입력 전압을 이용하여 이전 샘플링 주기에서의 제1 관측변수 S를 계산하는 단계;

스위칭 주파수와 이전 샘플링 주기에서의 출력 전류를 이용하여 이전 샘플링 주기에서의 제2 관측변수 Q를 계산하는 단계; 및

상기 이전 샘플링 주기에서의 제1 관측변수 S와 상기 이전 샘플링 주기에서의 제2 관측변수 Q를 이용하여 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 계산하는 단계를 포함하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 방법.

청구항 3

제2항에 있어서,

상기 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하는 단계는,

이전 샘플링 주기에서의 입력 전압과 출력 전압의 비율인 입력측 환산 전압 비율을 계산하는 단계;

평균 출력 전력과 최대 출력 전력의 비율인 정규화 출력 전력을 계산하는 단계; 및

상기 이전 샘플링 주기에서의 입력측 환산 전압 비율과 상기 이전 샘플링 주기에서의 정규화 출력 전력의 비교 연산을 수행하는 단계를 더 포함하고,

상기 비교 연산의 결과에 따라 상기 이전 샘플링 주기에서의 제1 관측변수 S와 상기 이전 샘플링 주기에서의 제2 관측변수 Q를 계산하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 방법.

청구항 4

제3항에 있어서,

상기 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 단계는,

상기 이전 샘플링 주기에서의 입력측 환산 전압 비율과 상기 이전 샘플링 주기에서의 정규화 출력 전력의 비교

연산을 수행하는 단계를 포함하고,

상기 비교 연산의 결과에 따라 상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 예측하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 방법.

청구항 5

제3항에 있어서,

상기 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 단계는,

상기 이전 샘플링 주기에서의 제1 관측변수 S, 상기 이전 샘플링 주기에서의 제2 관측변수 Q, 및 센서에 의해 감지된 다음 샘플링 주기에서의 출력 전압을 이용하여 행렬 U와 벡터 w를 계산하고, 상기 행렬 U와 상기 벡터 w를 이용하여 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 계산하여 연산량을 줄이는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 방법.

청구항 6

회로 파라미터 및 이전 샘플링 주기의 센싱값과 연산값을 저장하는 메모리; 및

상기 메모리로부터 둘 이상의 이전 샘플링 주기에서의 제1 내부 위상 천이 듀티비와 제1 외부 위상 천이 듀티비를 읽어오고, 상기 제1 내부 위상 천이 듀티비와 상기 제1 외부 위상 천이 듀티비를 기초로 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하며, 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 이용하여 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 컨트롤러를 포함하고,

상기 컨트롤러는 상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 이용하여 DAB 컨버터의 출력 전압을 제어하는 단계를 포함하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 시스템.

청구항 7

제6항에 있어서,

전압과 전류를 감지하는 센서를 더 포함하고,

상기 컨트롤러는,

상기 메모리로부터 스위칭 주파수와 변압기 권선비를 읽어오고, 상기 제1 내부 위상 천이 듀티비, 상기 제1 외부 위상 천이 듀티비, 상기 스위칭 주파수, 상기 변압기 권선비, 및 상기 센서에 의해 감지된 이전 샘플링 주기에서의 입력 전압을 이용하여 이전 샘플링 주기에서의 제1 관측변수 S를 계산하고, 상기 스위칭 주파수와 상기 센서에 의해 감지된 이전 샘플링 주기에서의 출력 전류를 이용하여 이전 샘플링 주기에서의 제2 관측변수 Q를 계산하며, 상기 이전 샘플링 주기에서의 제1 관측변수 S와 상기 이전 샘플링 주기에서의 제2 관측변수 Q를 이용하여 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 계산하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 시스템.

청구항 8

제7항에 있어서,

상기 컨트롤러는,

상기 이전 샘플링 주기에서의 입력 전압과 출력 전압의 비율인 입력측 환산 전압 비율을 계산하고, 평균 출력 전력과 최대 출력 전력의 비율인 정규화 출력 전력을 계산하며, 상기 이전 샘플링 주기에서의 입력측 환산 전압 비율과 상기 이전 샘플링 주기에서의 정규화 출력 전력의 비교 연산을 수행하고, 상기 비교 연산의 결과에 따라 상기 이전 샘플링 주기에서의 제1 관측변수 S와 상기 이전 샘플링 주기에서의 제2 관측변수 Q를 계산하는 것을

특징으로 하는 DAB 컨버터의 출력 전압 제어 시스템.

청구항 9

제8항에 있어서,
상기 컨트롤러는,

상기 이전 샘플링 주기에서의 입력측 환산 전압 비율과 상기 이전 샘플링 주기에서의 정규화 출력 전력의 비교 연산을 수행하고, 상기 비교 연산의 결과에 따라 상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 예측하는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 시스템.

청구항 10

제7항에 있어서,
상기 컨트롤러는,

상기 이전 샘플링 주기에서의 제1 관측변수 S, 상기 이전 샘플링 주기에서의 제2 관측변수 Q, 및 상기 센서에 의해 감지된 다음 샘플링 주기에서의 출력 전압을 이용하여 행렬 U와 벡터 w를 계산하고, 상기 행렬 U와 상기 벡터 w를 이용하여 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 계산하여 연산량을 줄이는 것을 특징으로 하는 DAB 컨버터의 출력 전압 제어 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 이중 능동 브리지(Dual Active Bridge, DAB) 컨버터의 출력 전압 제어 방법 및 시스템에 관한 것으로, 보다 자세하게는 이중 위상 천이(Dual Phase-Shift, DPS) 변조방식에서 데드비트(Dead-Beat) 제어가 수행되는 DAB 컨버터의 출력 전압 제어 방법 및 시스템에 관한 것이다.

배경 기술

[0002] 이중 능동 브리지 컨버터(Dual Active Bridge Converter, 이하 DAB 컨버터)는 네 개의 전력용 스위치가 하나의 브리지 회로를 이루어, 변압기를 사이에 두고 양쪽에 각각 하나의 브리지 회로를 두어 양방향 전력전송을 가능하게 하는 직류-직류 컨버터를 일컫는다. DAB 컨버터의 스위치 변조 방식에는 단일, 이중, 삼중 위상 천이 방식이 있는데, 이 가운데에 이중 위상 천이(Dual Phase-Shift, DPS) 변조 방식은 제어알고리즘의 단순화나 전력변환 효율을 동시에 고려할 때 상대적으로 최적의 변조 방식으로 알려져 있다.

[0003] 그런데, 종래의 DPS 변조 방식에서는 제어 변수가 내외 위상 천이 듀티비와 외부 위상 천이 듀티비의 두 가지가 존재하기 때문에, 하나의 제어 변수로는 전류 스트레스를 최소화하는 데 사용하고, 나머지 제어 변수는 비례 적분(proportional-integral; PI) 컨트롤러를 통해 출력전압을 제어한다. 그러나, 이 경우 PI 제어기의 적분상수와 비례상수의 설계가 어렵고, 동적인 특성이 빠르지 못하다는 문제점이 있다.

[0004] 이를 극복하기 위해, DAB 컨버터의 출력 전압을 빠르게 제어하기 위한 방법으로 데드비트(Dead-Beat) 제어 방법도 적용되고 있다. 데드비트 제어란, 다음 샘플링 시간에 모델 방정식을 토대로 주어진 목표 지령치를 만족하기 위한 제어 변수를 수식으로 풀어서 즉시 추종하도록 하는 제어 기법으로서 빠른 동특성이 특징이다. 하지만, 이 방법의 경우, 계산 모델에서의 회로 파라미터 값이 실제 하드웨어의 회로 파라미터 값과 다를 경우 계산값에 오차가 생겨서 출력 전압에 정상 상태 오류(steady-state error)가 발생하는 문제점이 있다.

[0005] 특히, DAB컨버터에 사용하는 회로 파라미터 중 직렬 인덕터와 출력 캐패시터 소자의 값은 제조시 공차에 따라 초기부터 공칭값과 다른 값을 가지며, 사용 중에도 온도, 사용연한, 동작조건에 따라 그 값이 변화한다. 일례로, 인덕터와 캐패시터 소자값의 경우 통상적인 제조시 공차는 +/-20%이다. 특히, 인덕터는 동작전류가 커지면 자성포화 현상에 의해 인덕터 값이 감소하며, 캐패시터의 경우 사용하는 재료의 온도 계수에 따라 그 값이

상승 또는 감소한다. 이러한 회로 파라미터의 변화를 보정하지 않을 경우 데드비트 제어는 정상상태 오차를 나타낼 수밖에 없어 그 적용이 제한적인 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상술한 종래기술의 문제점을 극복하기 위한 것으로서, 실제 시스템의 파라미터 값을 추정하여, 모델을 보정함으로써 데드비트 제어시에도 DAB 컨버터의 출력 전압을 정상 상태 오차 없이 제어하는 방법 및 시스템을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 발명의 실시예에 따른 DAB 컨버터의 출력 전압 제어 방법은, 이전 샘플링 주기에서의 제1 내부 위상 천이 듀티비와 제1 외부 위상 천이 듀티비를 가져오는 단계, 상기 제1 내부 위상 천이 듀티비와 상기 제1 외부 위상 천이 듀티비를 기초로 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하는 단계, 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 이용하여 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 단계 및 상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 이용하여 DAB 컨버터의 출력 전압을 제어하는 단계를 포함한다.

[0008] 또 다른 발명의 실시예에 따른 DAB 컨버터의 출력 전압 제어 시스템은, 회로 파라미터 및 이전 샘플링 주기의 센싱값과 연산값을 저장하는 메모리와 상기 메모리로부터 이전 샘플링 주기에서의 제1 내부 위상 천이 듀티비와 제1 외부 위상 천이 듀티비를 읽어오고, 상기 제1 내부 위상 천이 듀티비와 상기 제1 외부 위상 천이 듀티비를 기초로 직렬 인덕터의 실제값과 출력 캐패시터의 실제값을 계산하며, 상기 직렬 인덕터의 실제값과 상기 출력 캐패시터의 실제값을 이용하여 최적의 제2 내부 위상 천이 듀티비와 제2 외부 위상 천이 듀티비를 예측하는 컨트롤러를 포함하고, 상기 컨트롤러는 상기 제2 내부 위상 천이 듀티비와 상기 제2 외부 위상 천이 듀티비를 이용하여 DAB 컨버터의 출력 전압을 제어하는 단계를 포함한다.

발명의 효과

[0009] 상기와 같이 구성된 본 발명에 따른 DAB 컨버터의 출력 전압 제어 방법 및 시스템에 의하면, 실시간으로 회로 파라미터를 추정하여, 데드비트 제어에 의한 출력 전압의 정상 상태 오류를 제거할 수 있는 효과가 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 DAB 컨버터 구조 및 출력 전압 제어 시스템을 나타내는 도면이다.
 도 2a와 도 2b는 일반적인 DPS 변조방식에서 DAB 컨버터의 파형을 나타내는 도면이다.
 도 3은 회로 파라미터의 실제값 대비 모델값 비율에 따라 발생하는 출력 전압의 정상 상태 오류의 백분율을 나타낸다.
 도 4는 본 발명의 일 실시예에 따른 시뮬레이션 파라미터를 나타낸다.
 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 회로 파라미터의 실제값 대비 모델값 비율에 따른 출력 전압의 비교를 나타낸다.
 도 6은 본 발명의 일 실시예에 따른 온라인 파라미터 식별 방법을 설명하기 위한 순서도이다.
 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 정상 상태 오차 제거 성능을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명은 다양한 변형 및 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 보다 상세하게 설명하고자 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0012] 이하, 본 발명의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하기로 한다.

[0013] 도 1은 본 발명의 일 실시예에 따른 DAB 컨버터의 출력 전압 제어 시스템을 나타내는 도면이고, 도 2a와 도 2b

는 일반적인 DPS 변조에서 DAB 컨버터의 파형을 나타내는 도면이다.

- [0014] 도 1의 (a), (b)를 참조하면, DAB 컨버터의 출력 전압 제어 시스템(100)은 DAB 컨버터(DABC), 메모리(110), 센서(120), 및 컨트롤러(130)를 포함할 수 있다.
- [0015] DAB 컨버터(DABC)는 변압기 1차측 스위치 소자(S1, S2, S3, S4)를 구비하는 제 1 브리지 회로(H1), 변압기 2차측 스위치 소자(S5, S6, S7, S8)를 구비하는 제 2 브리지 회로(H2), 및 상기 제 1 브리지 회로(H1)와 상기 제 2 브리지 회로(H2) 사이에 위치하는 변압기(T)를 포함할 수 있다.
- [0016] 메모리(110)는 DAB 컨버터(DABC)의 각종 파라미터를 저장할 수 있다. 센서(120)는 DAB 컨버터(DABC)의 각종 전압, 전류 등을 감지하고, 감지 결과를 출력하거나 메모리(110)에 저장할 수 있다. 컨트롤러(130)는 디지털 신호 처리 장치일 수 있다. 컨트롤러(130)는 메모리(110)로부터 회로 파라미터, 이전 샘플링 주기에서의 센싱값과 계산값을 읽어오고, 센서(120)로부터 감지된 입력 전압, 출력 전류 등을 이용하여 회로 파라미터를 정확히 추정하고, 이를 통해 DAB 컨버터의 출력 전압을 제어하기 위한 최적의 제어 신호, 즉 내부 위상 천이 듀티비와 외부 위상 천이 듀티비를 계산할 수 있다.
- [0017] 도 2a와 도 2b에 도시된 바와 같이, 제1 스위치(S1)와 제4 스위치(S4)가 동시에 턴 온 되면, 제1 전압(Vp)의 레벨은 양의 입력 전압(V1)과 같은 값을 가지고, 제2 스위치(S2)와 제4 스위치(S4)가 동시에 턴 온 되거나 제1 스위치(S1)와 제3 스위치(S3)가 동시에 턴 온 되면, 제1 전압(Vp)의 레벨은 0이고, 제2 스위치(S2)와 제3 스위치(S3)가 동시에 턴 온 되면, 제1 전압(Vp)의 레벨은 음의 입력 전압(V1)과 같은 값을 가진다. 이때, 스위치는 이상적이라고 가정하였다.
- [0018] 마찬가지로, 제5 스위치(S5)와 제8 스위치(S8)가 동시에 턴 온 되면, 제2 전압(Vs)의 레벨은 양의 출력 전압(V2)와 같은 값을 가지고, 제5 스위치(S5)와 제7 스위치(S7)가 동시에 턴 온 되거나 제6 스위치(S6)와 제8 스위치(S8)가 동시에 턴 온 되면, 제2 전압(Vs)의 레벨은 0이고, 제6 스위치(S6)와 제7 스위치(S7)가 동시에 턴 온 되면 제2 전압(Vs)의 레벨은 음의 출력 전압(V2)과 같은 값을 가진다.
- [0019] 여기서 제2 스위치(S2)와 제3 스위치(S3)가 꺼지는 시점부터 다음 제1 스위치(S1)와 제4 스위치(S4)가 꺼지는 구간은 전체 스위칭 주기의 반주기(T_h)에 해당하는데, 이는 각 스위칭 패턴의 반복 주기의 절반을 의미하므로, 스위칭 주파수와는 T_h=1/2f의 관계가 성립한다. 이때, 반주기 구간 대비 제1 전압(Vp)이 영 레벨인 구간의 비율을 내부 위상 천이 듀티비(Inner Phase-Shift Duty)라 하며, 반주기 구간 대비 제 1전압(Vp)이 양의 값을 가진 이후부터 제2 전압(Vs)이 다시 양의 값을 가지게 되는 구간, 혹은 제 1전압(Vp)이 음의 값을 가진 이후부터 제2 전압(Vs)이 다시 음의 값을 가지게 되는 구간의 비율을 외부 위상 천이 듀티비(Outer Phase-Shift Duty)라고 정의한다.
- [0020] **레드비트 제어를 통한 출력제어를 위한 내부 위상천이 듀티비와 외부 위상천이 듀티비 간 관계식의 유도**
- [0021] 그림 1a를 참고하면 직렬 인덕터 전류(i_L) 및 평균 출력 전력(P)은 아래의 수학적 식 1과 같이 유도된다.

수학적 식 1

[0022]
$$v_p(t) - v_s(t) = L \frac{di_L(t)}{dt}$$

수학적 식 2

[0023]
$$P = \frac{1}{T_h} \int_0^{T_h} v_p(t) i_L(t) dt$$

[0024] 추가적인 수식 전개에 편의를 위해 D1은 내부 위상 천이 듀티비를 의미하고, D2는 외부 위상 천이 듀티비를 의미한다고 정의한다.

[0025] 먼저, $0 \leq D_1 \leq D_2 \leq 1$ 의 경우, 상기의 [수학식 1], [수학식 2]를 도 2a에 적용하면 도식적인 해법으로 평균 전송 전력(P)은 아래와 같이 유도된다.

수학식 3

[0026]
$$P = m v_1 v_2 (D_2 (1 - D_2) - 0.5 D_1^2) / (2 f L)$$

[0027] 여기서, f는 스위칭 주파수를 의미하고, n은 변압기 권선비를 의미한다.

[0028] 마찬가지로, $0 \leq D_2 \leq D_1 \leq 1$ 의 경우, 상기의 [수학식 1], [수학식 2]를 도 2b에 적용하면 마찬가지로 평균 전송 전력(P)은 아래와 같이 유도된다.

수학식 4

[0029]
$$P = m v_1 v_2 (1 - D_1 - 0.5 D_2) D_2 / (2 f L)$$

[0030] 한편, $0 \leq D_1 \leq D_2 \leq 1$ 의 경우, 제2 브리지 회로의 출력전류로 정의되는 2차 전류(i_s)는 [수학식 3]을 이용하여 아래와 같이 유도된다. 유도과정에서, 2차 전압(V_2)는 반주기(Th)대비 비교적 느린 신호라고 가정하였다.

수학식 5

[0031]
$$i_s = P / v_2 = m v_1 (D_2 (1 - D_2) - 0.5 D_1^2) / (2 f L)$$

[0032] 또한, 출력 캐패시터(C_2)에 의한 출력 전압(v_2)의 상태 방정식은 다음과 같이 표시된다.

수학식 6

[0033]
$$C_2 dv_2 / dt = i_s - i_2$$

[0034] 이때, i_2 는 반주기 동안의 평균 부하전류를 나타낸다.

[0035] 여기서, 순방향 오일러 근사(forward Euler approximation)를 이용하여 [수학식 6]은 다음과 같이 이산화(discretization)할 수 있다.

수학식 7

[0036]
$$v_2[k] = (i_s[k-1] - i_2[k-1]) / (f C_2) + v_2[k-1]$$

[0037] 여기서, $v_2[k]$ 는 k-번째 샘플링 주기에서 출력 전압이고, $v_2[k-1]$, $i_2[k-1]$, $i_s[k-1]$ 은 각각 (k-1)번째 샘플링 주기에서 출력 전압, 출력 전류, 및 2차 전류이다.

[0038] [수학식 5]와 [수학식 7]을 결합하면, 출력 전압은 다음과 같이 유도된다.

수학식 8

[0039]
$$v_2[k] = \frac{m v_1 [k-1]}{2 f^2 L C_2} (D_2 [k-1] (1 - D_2 [k-1]) - 0.5 D_1^2 [k-1]) - i_2 [k-1] / (f C_2) + v_2 [k-1]$$

[0040] 여기서, $v_1[k-1]$, $D_1[k-1]$, $D_2[k-2]$ 는 각각 $(k-1)$ 번째 샘플링 주기에서 입력 전압, 내부 위상 천이 듀티비, 외부 위상 천이 듀티비이며, 본 발명의 일 실시예에 의하면 각각 이전 샘플링 주기의 입력 전압 측정값, 제 1 내부 위상 천이 듀티비, 제 1 외부 위상 천이 듀티비에 해당한다.

[0041] 그런데, 출력전압제어를 위해서는 출력 전압 $v_2[k]$ 이 출력 전압 지령치와 같아야 하므로 다음 조건이 성립해야 한다.

수학식 9

[0042]
$$v_2[k] = v_{2ref}$$

[0043] 따라서, [수학식 8]과 [수학식 9]로부터, 테드비트 제어에 의해 계산된 k -번째 샘플링 주기(즉, 다음 샘플링 주기)에서의 바람직한 외부 위상 천이 듀티비는 다음과 같이 얻어진다.

수학식 10

[0044]
$$D_2[k] = 0.5 - \left(0.25 - 0.5D_1^2[k] - 2f^2LC_2a_1 / (nv_1[k]) \right)^{1/2}$$

[0045] 여기서, a_1 은 식의 단순화를 위해 도입한 계수로서 다음과 같이 계산된다.

수학식 11

[0046]
$$a_1 = v_{2ref} - v_2[k] + i_2[k] / (fC_2)$$

[0047] 상기 [수학식 10]과 [수학식 11]에서, $D_1[k]$, $D_2[k]$, $v_1[k]$, 및 $i_2[k]$ 는 각각 k -번째 샘플링 주기에서 예측된 내부 위상 천이 듀티비, 예측된 외부 위상 천이 듀티비와 센싱된 입력 전압 및 출력 전류이다.

[0048] 유사하게, $0 \leq D_2 \leq D_1 \leq 1$ 의 경우 출력 전압은 다음과 같이 얻어진다.

수학식 12

[0049]
$$v_2[k] = \frac{m_1[k-1]}{2f^2LC_2} D_2[k-1] (1 - D_1[k-1] - 0.5D_2[k-1]) - i_2[k-1] / (fC_2) + v_2[k-1]$$

[0050] [수학식 9]를 [수학식 12]에 대입하면, k -번째 샘플링 주기에서 예측된 외부 위상 천이 듀티비는 다음과 같이 유도된다.

수학식 13

[0051]
$$D_2[k] = 1 - D_1[k] - \left((1 - D_1[k])^2 - 4fLa_2 / (m_1[k-1]) \right)^{1/2}$$

[0052] 여기서, a_2 는 다음과 같이 계산되는 값이다.

수학식 14

$$a_2 = fC_2 (v_{2ref} - v_2[k]) + i_2[k]$$

[0053]

[0054]

종합적으로 정리하면, [수학식 10] 또는 [수학식 13]을 충족하는 제 2 내부 위상 천이 듀티비(D1)와 제 2 외부 위상 천이 듀티비(D2)의 모든 조합이 [수학식 9]의 출력 전압 목표를 달성한다. 이러한, 내부 위상 천이 듀티비(D1)와 외부 위상 천이 듀티비(D2) 사이의 종속성으로 인해, 내부 위상 천이 듀티비(D1)가 선택되면 외부 위상 천이 듀티비(D2)가 자동으로 결정된다. 다시 말해, 데드비트 제어에서는 출력 전압(v2[k])의 목표값(v2ref)이 주어지면 내부 위상 천이 듀티비(D1)나 외부 위상 천이 듀티비(D2)중 하나만 자유롭게 선택할 수 있다.

[0055]

LMM을 사용한 위상 천이 듀티비의 전류 스트레스 최적화

[0056]

상기와 같은 이유로, 통상적으로 전력전달 효율을 최대로 높이는 방향으로 내부 위상 천이 듀티비(D1)를 선정하고, 이에 따라 외부 위상천이 듀티비(D1)는 종속적으로 계산하는 방법을 사용할 수 있다.

[0057]

이는 종래의 기술에서 DPS변조 방식의 최적화 제어기법 중 하나인 전류 스트레스 최적화(Current Stress Optimization, CSO)알고리즘으로 종래의 문헌[Zhao, B., Song, Q., Liu, W., Sun, W.: Current-stress-optimized switching strategy of isolated bidirectional DC-DC converter with dual-phase-shift control. IEEE Trans. Ind. Electron.60(10), 4458-4467 (2013)] 에 제안된 바가 있다. 이 방법은 도 2a의 인덕터 전류 파형에서의 최대 전류값(G1)과 도 2b의 최대 전류값(G2)를 최소화하여 전력변환 효율을 개선하는 방법이다. 따라서 본 발명의 실시예로 상기 문헌의 방법을 데드비트 제어에 다음과 같이 적용할 수도 있다.

[0058]

전류 스트레스를 최적화하는 내부 위상천이 듀티비(D1)를 도출해 보도록 한다. 먼저, 계산의 편리를 위해 일분율법(per-unit system)을 이용하도록 한다. [수학식 3]과 [수학식 4]가 도달할 수 있는 이론적인 최대 출력 전력(Pm)과 이때의 DAB 컨버터의 최대 입력 전류(im)을 다음과 같이 정의하면,

수학식 15

$$P_m = nv_1v_2 / (8fL)$$

[0059]

수학식 16

$$i_m = P_m / v_1 = nv_2 / (8fL)$$

[0060]

[0061]

일분율법에 의해 정규화 출력 전력(pu)은 $0 \leq D1 \leq D2 \leq 1$ 와 $0 \leq D2 \leq D1 \leq 1$ 의 각각의 경우에 각각 [수학식 3] 및 [수학식 4]를 [수학식 15]로 나누어 [수학식 17]과 [수학식 18]과 같이 재정의 된다.

수학식 17

$$p_u = P / P_m = 4D_2(1 - D_2) - 2D_1^2$$

[0062]

수학식 18

$$p_u = P / P_m = 4D_2(1 - D_1) - 2D_2^2$$

[0063]

[0064]

한편, 최대 인덕터 전류(iss)는 도 2a와 같이, $0 \leq D1 \leq D2 \leq 1$ 일 때 제1 지점(G1)에서 다음의 최댓값을 가짐을 유도할 수 있다.

수학식 19

[0065]
$$i_{ss} = \max \{i_L\}_{T_h} = mv_2 (M(1-D_1) + (D_1 + 2D_2 - 1)) / (4fL)$$

[0066] 여기서, $M = v1/(nv2)$ 은 입력측 환산 전압 비율로서, 물리적인 의미는 변압기 1차측에 위치한 직렬 인덕터의 양단에 인가되는 전압 간의 비를 계산한 값이다.

[0067] 이에 따라, 정규화 최대 인덕터 전류(i_u)를 [수학식 19]를 [수학식 16]으로 나누어 다음과 같이 재정의할 수 있다.

수학식 20

[0068]
$$i_u = i_{ss} / i_m = 2(M(1-D_1) + (D_1 + 2D_2 - 1))$$

[0069] 이제, 라그랑주 승수법 (Lagrange multiplier method, LMM)을 사용하여 정규화 출력 전력(p_u)이 원하는 출력 전력 (p_{uref})을 유지하는 동안 정규화 최대 인덕터 전류(i_u)가 최소화되는 최적의 내부 위상 천이 듀티비($D1$)를 찾으려 한다. 이를 위해, 라그랑주 함수(Lagrange function, F)를 다음과 같이 정의한다.

수학식 21

[0070]
$$F(\mathbf{d}, \psi) = i_u(\mathbf{d}) + \psi [p_u(\mathbf{d}) - p_{uref}]$$

[0071] 여기서, $\mathbf{d}=[D1, D2]^T$ 는 구하고자 하는 위상 천이 듀티비 벡터이고, ψ 는 라그랑주 승수(Lagrange multiplier)이며, 위첨자 기호 T는 행렬 전치를 나타낸다.

[0072] 함수의 최소점을 찾기 위해 라그랑주 함수 $F(\mathbf{d}, \psi)$ 를 다음과 같이 미분한다.

수학식 22

[0073]
$$\frac{\partial F(\mathbf{d}, \psi)}{\partial D_1} = 0; \quad \frac{\partial F(\mathbf{d}, \psi)}{\partial D_2} = 0; \quad \frac{\partial F(\mathbf{d}, \psi)}{\partial \psi} = 0$$

[0074] [수학식 17], [수학식 18], [수학식 20], 및 [수학식 21]을 [수학식 22]에 대입하면, 내부 위상 천이 듀티비 ($D1$)의 최적값은 $\frac{(M[k-1]+1)^2-4}{2M^2[k-1]} < p_u[k-1]$ 및 $p_u[k-1] \leq \frac{(M[k-1]+1)^2-4}{2M^2[k-1]}$ 각각의 조건에서 [수학식 23]과 [수학식 24]와 같이 이산화된 형태로 분리 유도된다.

수학식 23

[0075]
$$D_{1opt}[k] = \left(\frac{(1-p_u[k-1])(M[k-1]-1)^2}{2(M^2[k-1]-2M[k-1]+3)} \right)^{1/2}$$

수학식 24

[0076]

$$D_{1opt}[k] = 1 - \left(\frac{p_u[k-1](M[k-1]+1)^2}{2(M^2[k-1] + 2M[k-1] - 3)} \right)^{1/2}$$

[0077]

여기서, 이전 샘플링 주기에서의 입력측 환산 전압 비율(M[k-1])과 정규화 출력 전력(pu[k-1])은 다음과 같이 계산된다.

수학식 25

[0078]

$$M[k-1] = v_1[k-1] / (mv_2[k-1])$$

수학식 26

[0079]

$$p_u[k-1] = 8fL i_2[k-1] / (mv_1[k-1])$$

[0080]

앞서 유도한 바와 같이, 데드비트 제어에 의하면, 출력전압을 만족하기 위해서는 내부 위상 천이 듀티비와 외부 위상 천이 듀티비는 [수학식 10] 또는 [수학식 13]의 관계식을 만족해야 한다. 따라서, 상기최적의 내부 위상 천이 듀티비(D1opt[k])를 활용했을 때, 외부 위상 천이 듀티비(D2opt[k])는 상기 관계식에 의해 계산될 수 있다.

[0081]

따라서, [수학식 23] 또는 [수학식 24]와 [수학식 10] 또는 [수학식 13]을 연립하여 얻은 내부 위상 천이 듀티비와 외부 위상 천이 듀티비는 출력 전압(v2)이 기준값(v2ref)을 추종하도록 만들 뿐만 아니라, 전류 스트레스도 최소화된다.

[0082]

그런데, 전술한 바와 같이 실제 모델의 파라미터(예컨대, L, C2)가 원래 모델의 파라미터와 불일치하면, 데드비트 제어기의 수식 자체가 정확하지 않게 되므로, 출력 전압(v2[k])이 목표값(v2ref)으로 제어되지 못한다. 따라서 본 발명에서는 실제 모델의 파라미터를 추정하는 과정을 포함하도록 한다. 이를 통해, 출력 전압의 정상 상태 오류를 제거할 수 있는 효과가 있다.

[0083]

파라미터 불일치의 영향

[0084]

파라미터 불일치가 출력 전압에 미치는 영향을 반영하기 위해, mL과 mC2는 각각 직렬 인덕터 및 출력 캐패시터의 실제값 대비 모델값 비율로서 다음과 같이 정의된다.

수학식 27

[0085]

$$m_L = L / L_a; \quad m_{C2} = C_2 / C_{2a}$$

[0086]

여기서, L과 C2는 원래 모델의 파라미터 값이고, La와 C2a는 각각 직렬 인덕터와 출력 캐패시터의 실제 값 즉, 실제 모델의 파라미터 값이다. 실제값 대비 모델값 비율이 클수록 해당 회로 파라미터가 과대 반영되는 것을 의미하고, 실제값 대비 모델값 비율이 작을수록 과소 반영되는 것을 의미한다. 실제값 대비 모델값이 1인 경우는 시스템의 해당 회로 파라미터가 정확히 모델에 반영되는 가장 이상적인 경우로 볼 수 있다.

[0087]

평균 캐패시터 전류가 정상 상태에서 0과 같다고 가정하고, 등가 부하 저항을 R이라 정의하면, $i_2 = i_s = V_2 / R$ 이 성립하므로, 이를 이용하여 $0 \leq D1 \leq D2 \leq 1$ 의 경우는 [수학식 5]를 다음과 같이 변형할 수 있다.

수학식 28

$$v_2[k] = \frac{Rm_{v_1}[k]}{2fL_a} (D_{2opt}[k](1 - D_{2opt}[k]) - 0.5D_{1opt}^2[k])$$

[0088]

[0089] 여기서, 최적의 내부 위상 천이 듀티비(D1opt[k])와 최적의 외부 위상 천이 듀티비(D2opt[k])는 각각 [수학식 23]과 [수학식 10]으로부터 얻어진다. 정상 상태에서 [수학식 28]을 단순화하면 다음과 같으므로,

수학식 29

$$v_2 = fRC_{2a}m_Lm_{C2}v_{2ref} / (1 - m_L + fRC_{2a}m_Lm_{C2})$$

[0090]

[0091] 결과적으로, 출력 전압의 정상 상태 오류의 백분율(Dv2%)은 다음과 같이 유도된다.

수학식 30

$$\Delta v_2 \% = \frac{v_2 - v_{2ref}}{v_{2ref}} \times 100\% = \frac{m_L - 1}{fRC_{2a}m_Lm_{C2} - m_L + 1} \times 100\%$$

[0092]

[0093] 유사하게, 0 ≤ D2 ≤ D1 ≤ 1의 경우, 출력 전압(v2)과 실제값 대비 모델값 비율(mL, mC2) 사이의 관계는 다음과 같이 유도된다.

수학식 31

$$v_2 = \frac{fRL_aC_{2a}m_Lm_{C2}(1 - fRC_{2a}m_Lm_{C2})v_{2ref}}{L_a(1 - m_L) + fRL_aC_{2a}m_L^2m_{C2}(1 - fRC_{2a}m_{C2})}$$

[0094]

[0095] 이 경우, 출력 전압의 정상 상태 오류의 백분율(Dv2%)은 다음과 같이 얻어진다.

수학식 32

$$\Delta v_2 \% = \frac{L_a(m_L - 1)(1 - \xi m_L)}{L_a(1 - m_L) + \tau m_L^2 m_{C2}(1 - \xi)} \times 100\%$$

[0096]

[0097] 여기서, τ = fRLaC2a 및 ξ = fRC2amC2이다.

[0098] 도 3은 회로 파라미터의 실제값 대비 모델값 비율에 따라 발생하는 출력 전압의 정상 상태 오류의 백분율을 나타낸다. 전술한 바와 같이 직렬 인덕터(L)와 출력 캐패시터(C2)는 상기한 바와 같이 공칭값 대비 통상 +/-20% 변동할 수 있으므로, 공칭값을 모델값의 초기값으로 설정할 경우 직렬 인덕터와 출력 캐패시터의 실제값 대비 모델값 비율(mL, mC2)이 0.8~1.2 범위를 가진다고 가정할 수 있다. 도 3은 이와 같은 조건에서의, 출력 전압의 정상 상태 오류의 백분율(Dv2%)의 결과를 3차원 도면으로 보여준다.

[0099] 도 3에서, 0 ≤ D1 ≤ D2 ≤ 1인 경우에서 얻어진 [수학식 30]과 0 ≤ D2 ≤ D1 ≤ 1인 경우에서 얻어진 [수학식 32]의 모두 출력 전압의 정상 상태 오류의 백분율(Dv2%)이 동일한 결과를 얻음을 관찰하였다. 출력 전압의 정상 상태 오류의 백분율(Dv2%)은 mL=1.2, mC2=0.8에서 최대값 0.38%를 가지고, mL=mC2=0.8에서 최소값 -0.57%를 가진다. 여기서 특이한 점은 mL=1일 때, 출력 전압의 정상 상태 오류의 백분율(Dv2%)이 영이 되므로, 즉, 직렬 인덕터

(L)가 완벽하게 일치하면 출력 전압(v2)의 정상 상태 오류가 없음을 의미한다. 전체적으로, 미스매치 비율(mL, mC2)이 1과 다를수록, 출력 전압(v2)의 정상 상태 오류가 커진다.

[0100] 도 4는 본 발명의 일 실시예의 성능을 검증하기 위해 사용한 시스템 파라미터의 일 실시예를 나타낸다. 도 1a와 도 4를 함께 참고하여, DAB 컨버터의 입력 전압(v1)은 100V, 스위치의 동작주파수(f)는 10kHz, 변압기권선비(n)는 1로 고정되어 있다고 설정하였다. 직렬 인덕터(La)과 출력 캐패시터(C2a)의 실제값을 각각 60uH와 220uF 라고 가정하였다. 목표 출력 전압(v2ref)은 95V로 두고 시뮬레이션을 수행하였다.

[0101] 도 5a 내지 도 5c는 의도적으로 직렬 인덕터(L)와 출력 캐패시터(C2)의 모델값을 실제값과 다르게 설정한 여러 가지 조합에 대해서 도 4의 시스템 파라미터에 따른 시뮬레이션을 수행하였을 때, 출력 전압(v2), 직렬 인덕터의 모델값(L)과 출력 캐패시터의 모델값(C2)의 변화를 동일 시간축으로 시뮬레이션 하여 얻어진 파형을 나타낸다. 이때 목표 출력 전압(v2ref)은 95V로 동일하게 설정하였으므로 출력 전압(v2)값이 95V를 벗어나는 경우는 정상 상태 오차가 있는 것으로 간주하면 된다.

[0102] 도 1의 (a)에서는 시뮬레이션의 출력 전압(v2)을 도 3에서 제시한 이론적인 계산과도 비교하였는데, 상기 [수학식 29] 및 [수학식 31] 로 유추한 출력 전압오차와 경향이 일치함을 알 수 있다. 특히, 맨 앞부분에 위치한 0.05(s)에서 0.06(s)까지의 시간 구간 동안은 mL=mC2=0.8으로 두었을 때의 조건인데, 가장 심각한 정상상태 오차를 나타낸다고 관찰되므로, 향후에는 이 조건에 대해서만 추가 검증을 수행하도록 한다.

[0103] **제한하는 온라인 파라미터 식별**

[0104] 도 5에서 정상상태 오차가 발생한 이유를 분석하면, 회로 파라미터의 모델값(L, C2)과 실제값(La, C2a)가 불일치할 때, 데드비트 제어에서 얻어진 [수학식 8]과 [수학식 12]의 예측값이 출력 전압(v2)의 실제값과 큰 차이가 발생한 것 때문이라고 분석된다. 따라서, 실제 값(L, C2)을 온라인으로 식별하여 결과를 수정해야 한다.

[0105] 먼저, 출력전압의 변화를 다음과 같이 회로 파라미터에 관련된 두가지 성분으로 분리하도록 한다.

수학식 33

[0106]
$$\delta S[k-1] + \theta Q[k-1] = v_2[k] - v_2[k-1]$$

[0107] 여기서, 직렬 인덕터(L)와 출력 캐패시터(C2)는 식의 간소화를 위해 대체 파라미터인 δ 와 θ 를 통해 다음과 같이 대치하였고,

수학식 34

[0108]
$$\delta = 1/LC_2, \quad \theta = 1/C_2$$

[0109] S와 Q는 각각 시스템에서 얻어지는 제1 및 제2 관측변수들로서, 관계식의 계수를 구성한다.

[0110] 먼저, $0 \leq D_1 \leq D_2 \leq 1$ 의 경우를 살펴보기 위해 [수학식 8]을 적용하면, 이전 샘플링 주기에서의 제1 관측변수 (S[k-1])와 이전 샘플링 주기에서의 제2 관측변수 (Q[k-1])는 각각 다음과 같이 주어진다.

수학식 35

[0111]
$$S[k-1] = \frac{mv_1[k-1]}{2f^2} (D_2[k-1] - D_2^2[k-1] - 0.5D_1^2[k-1])$$

수학식 36

[0112] $Q[k-1] = -i_2 [k-1] / f$

[0113] 마찬가지로, $0 \leq D_2 < D_1 \leq 1$ 의 경우는 [수학식 12]를 적용하면 이전 샘플링 주기에서의 제1 관측변수($S[k-1]$)는 다음과 같이 재작성 된다.

수학식 37

[0114] $S[k-1] = \frac{m_1 [k-1]}{2f^2} D_2 [k-1] (1 - D_1 [k-1] - 0.5 D_2 [k-1])$

[0115] 한편, 이때의 제2 관측변수는 [수학식 36]과 동일하다.

[0116] 따라서, 1부터 (k-1)까지의 일련의 샘플링 주기에서 [수학식 33]을 적용하면, 모두 (k-1)개의 식을 얻으며, 이를 행렬 형식으로 변환하면 다음과 같이 표현할 수 있다.

수학식 38

[0117] $Kx = h$

[0118] 여기서, K, x, h는 다음과 같다.

수학식 39

[0119]
$$K = \begin{bmatrix} S[k-1] & Q[k-1] \\ \varepsilon S[k-2] & \varepsilon Q[k-2] \\ \vdots & \vdots \\ \varepsilon^{k-3} S[2] & \varepsilon^{k-3} Q[2] \\ \varepsilon^{k-2} S[1] & \varepsilon^{k-2} Q[1] \end{bmatrix}_{(k-1) \times 2}$$

[0120]
$$h = \begin{bmatrix} v_2[k] - v_2[k-1] \\ \varepsilon(v_2[k-1] - v_2[k-2]) \\ \vdots \\ \varepsilon^{k-3}(v_2[3] - v_2[2]) \\ \varepsilon^{k-2}(v_2[2] - v_2[1]) \end{bmatrix}_{(k-1) \times 1}$$

수학식 40

[0121] $x = \begin{bmatrix} \delta \\ \theta \end{bmatrix}_{2 \times 1}$

[0122] 여기서, 관측변수 매트릭스 K , 응답변수 벡터 h , 및 대체 파라미터 벡터 x 는 각각 $(k - 1) \times 2$, $(k - 1) \times 1$, 및 2×1 의 크기를 가진다. 경우에 따라서, 파라미터 추정 과정에서 최근 샘플링보다 이전 샘플링 주기의 관측 데이터를 적게 반영하기 위해 망각률(forgetting factor)로서 상수(e)를 0~1 범위 내에서 둘 수도 있다. e 가 0에 가까우면 파라미터 추정이 최근 샘플링 값에 주로 좌우되므로, 식별 알고리즘이 불안정해질 수 있다. 반대로 e 가 1에 가까우면 제안된 알고리즘의 솔루션이 이전 관찰 데이터를 상당히 반영하므로 알고리즘 추정 속도가 감소한다. 하지만, 회로 파라미터인 직렬 인덕터(L)와 출력 캐패시터($C2$)는 점진적으로 변하기 때문에 e 를 1에 가까운 값으로 설계함이 바람직하며, 본 발명의 일 실시예에서는 0.99로 설정하였다.

[0123] 행의 수가 열의 수보다 많기 때문에 K 는 정방행렬이 아니다. 따라서 [수학식 38]은 기존의 정방행렬의 역행렬 알고리즘으로는 풀 수 없다. 따라서, LSA(least-squares analysis) 방법을 이용하여 다음과 같이 에러 벡터의 크기로 정의된 평가 함수 $f(x)$ 를 최소화하는 대체 파라미터 벡터인 x 를 찾으려 한다.

수학식 41

[0124]
$$f(x) = \|e\|^2 = \|Kx - h\|^2 = (Kx - h)^T (Kx - h)$$

[0125] 여기서, $e = Kx - h$ 는 에러 벡터이다.

[0126] 아래와 같이 x 에 대해 $f(x)$ 를 미분한 후,

수학식 42

[0127]
$$\partial f(x) / \partial x = 0$$

[0128] [수학식 41]을 [수학식 42]에 대입하면 다음을 얻을 수 있다.

수학식 43

[0129]
$$x = (K^T K)^{-1} K^T h$$

[0130] 그런데, 관측변수 행렬 K 와 응답변수 벡터 h 는 행렬의 크기가 매우 크므로 [수학식 43]의 해를 구하기위한 계산 과정이 복잡해짐으로 실제 구현이 불편하다. 따라서 [수학식 43]은 다음과 같이 더미 행렬 U 와 벡터 w 를 사용하여 치환하면 다음과 같이 단순화된다.

수학식 44

[0131]
$$x = U^{-1} w$$

[0132] 여기서,

수학식 45

[0133]
$$U = \begin{bmatrix} u_{11} & u_{12} \\ u_{21} & u_{22} \end{bmatrix} = K^T K, \quad w = \begin{bmatrix} w_1 \\ w_2 \end{bmatrix} = K^T h$$

[0134] 행렬 U 와 벡터 w 의 요소는 다음과 같이 [수학식 39]를 [수학식 45]에 대입하여 계산된다.

수학식 46

$$\begin{aligned}
 u_{11} &= \sum_{h=1}^{k-1} (\varepsilon^{k-1-h} S[h])^2 \\
 u_{12} = u_{21} &= \sum_{h=1}^{k-1} (\varepsilon^{k-1-h})^2 S[h] Q[h] \\
 u_{22} &= \sum_{h=1}^{k-1} (\varepsilon^{k-1-h} Q[h])^2 \\
 w_1 &= \sum_{h=1}^{k-1} (\varepsilon^{k-1-h})^2 S[h] (v_2[h+1] - v_2[h]) \\
 w_2 &= \sum_{h=1}^{k-1} (\varepsilon^{k-1-h})^2 Q[h] (v_2[h+1] - v_2[h])
 \end{aligned}$$

[0135]

[0136] [수학식 46]으로부터 제안된 알고리즘의 구현을 용이하게 하기 위해 이러한 요소는 다음과 같이 구현될 수 있다.

수학식 47

$$\begin{aligned}
 u_{11}[k-1] &= \varepsilon^2 u_{11}[k-2] + S^2[k-1] \\
 u_{12}[k-1] &= \varepsilon^2 u_{12}[k-2] + S[k-1] Q[k-1] \\
 u_{21}[k-1] &= u_{12}[k-1] \\
 u_{22}[k-1] &= \varepsilon^2 u_{22}[k-2] + Q^2[k-1] \\
 w_1[k-1] &= \varepsilon^2 w_1[k-2] + S[k-1] (v_2[k] - v_2[k-1]) \\
 w_2[k-1] &= \varepsilon^2 w_2[k-2] + Q[k-1] (v_2[k] - v_2[k-1])
 \end{aligned}$$

[0137]

[0138] K와 h에는 많은 양의 데이터가 포함되어 있지만, 행렬 U와 벡터 w는 각각 2 x 2 와 2 x 1의 크기를 가진다. 따라서, 2 x 2행렬의 역행렬 계산으로 쉽게 구현되므로 제어기의 계산 부담을 크게 줄일 수 있다. 또한 제안된 알고리즘은 행렬 U와 벡터 w의 모든 요소가 이전 측정 데이터 및 새로운 측정 데이터로부터 점진적으로 업데이트되기 때문에 많은 양의 메모리를 필요로 하지 않는다. 따라서 제안하는 알고리즘은 저가의 디지털 제어기에 적합하다.

[0139] 도 6은 본 발명의 일 실시예에 따른 온라인 파라미터 식별 방법을 설명하기 위한 순서도이다.

[0140] 도 6을 참조하면, [수학식 25]와 [수학식 26]의 측정 데이터로부터 (k-1)번째 샘플링 주기에서 입력측 환산 전압 비율(M)과 정규화 출력 전력(pu)의 값을 계산한다(S110). 입력측 환산 전압 비율(M)은 이전 샘플링 주기에서의 입력 전압과 출력 전압의 비율을 의미하고, 정규화 출력 전력(pu)은 평균 전달 전력과 최대 전달 전력의 비율을 의미한다.

[0141] [수학식 35], [수학식 36], 및 [수학식 37]로부터 관측변수(S, Q)를 계산하기 위해 컨트롤러는 이전 샘플링 주기에서의 입력측 환산 전압 비율(M[k-1])과 이전 샘플링 주기에서의 정규화 출력 전력(pu[k-1])의 비교 연산을 수행한다 (S120).

[0142] 구체적으로, $pu[k-1] > \frac{(M[k-1]+1)^2 - 4}{2M^2[k-1]}$ 을 만족하면(S120의 TRUE), 컨트롤러는 [수학식 35]와 같이, 메모리로부터 스위칭 주파수 및 변압기 권선비, 이전 샘플링 주기에서의 내부 위상 천이 듀티비, 이전 샘플링 주기에서의 외부 위상 천이 듀티비, 센서에 의해 감지된 이전 샘플링 주기에서의 입력 전압을 읽어와서 이전 샘플링 주기에

서의 제1 관측변수(S[k-1])를 계산한다(S130). 또한, 컨트롤러는 [수학식 36]과 같이, 메모리로부터 스위칭 주파수를 읽어오고, 센서에 의해 감지된 이전 샘플링 주기에서의 출력 전류를 이용하여 이전 샘플링 주기에서의 제2 관측변수(Q[k-1])를 계산한다(S130).

[0143] 한편, $pu[k - 1] > \frac{(M[k-1]+1)^2 - 4}{2M^2[k-1]}$ 을 만족하지 않으면(S120의 FALSE), 컨트롤러는 [수학식 37]과 같이, 메모리로부터 스위칭 주파수 및 변압기 권선비, 이전 샘플링 주기에서의 내부 위상 천이 듀티비, 이전 샘플링 주기에서의 외부 위상 천이 듀티비, 센서에 의해 감지된 이전 샘플링 주기에서의 입력 전압을 읽어와서 이전 샘플링 주기에서의 제1 관측변수(S[k-1])를 계산한다(S140). 또한, 컨트롤러는 [수학식 36]과 같이, 메모리로부터 스위칭 주파수를 읽어오고, 센서에 의해 감지된 이전 샘플링 주기에서의 출력 전류를 이용하여 이전 샘플링 주기에서의 제2 관측변수(Q[k-1])를 계산한다(S140).

[0144] 행렬 U, 벡터 w, 대체 파라미터(d, q)는 이전 측정 데이터 및 새로운 측정 데이터로부터 간단한 방법으로 온라인으로 계산된다. 구체적으로 컨트롤러는 [수학식 45]과 [수학식 47]와 같이, 이전 샘플링 주기에서의 관측변수(S[k-1], Q[k-1])와 다음 샘플링 주기에서의 출력 전압(v2[k])을 이용하여 행렬 U, 벡터 w를 계산한다(S150).

[0145] 컨트롤러는 [수학식 40]과 [수학식 44]와 같이, 행렬 U, 벡터 w를 이용하여 대체 파라미터(δ , θ)를 계산한다(S160).

[0146] 컨트롤러는 [수학식 34]을 이용하여, 대체 파라미터(d, q)를 이용하여 모델에 사용하는 회로 파라미터인 직렬 인덕터(L)와 출력 캐패시터(C2)의 실제값에 대한 추정값을 계산한다(S170).

[0147] [수학식 23], [수학식 24], [수학식 10], 및 [수학식 13]으로부터 k-번째 샘플링 주기에서 예측된 위상 천이 듀티비(D1, D2)의 최적값을 계산하기 위해 다시 비교가 수행된다(S180). 샘플링이 진행됨에 따라 파라미터 식별 프로세스가 더 정확해짐에 따라 출력 캐패시터(C2)의 정상상태 오류가 제거된다.

[0148] 비교 연산의 결과에 따라, 컨트롤러는 최적의 내부 위상 천이 듀티비와 외부 위상 천이 듀티비를 예측한다(S190). 컨트롤러는 최적의 내부 위상 천이 듀티비와 외부 위상 천이 듀티비를 획득하고, 최적의 내부 위상 천이 듀티비와 외부 위상 천이 듀티비를 이용하여 DAB 컨버터의 출력 전압을 제어할 수 있다.

[0149] 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 DAB 컨버터의 동작 파형을 나타내는 도면들이다.

[0150] 도 7a를 참조하면, 0.08(s)이전의 구간에서는 초기 실제값 대비 모델값 비율을 $mL=mC2=0.8$ 로 설정하였으므로, 출력전압(V2)이 도 4에서 설정한 목표 출력 전압(v2ref)와는 다른 값을 가지므로 정상상태 오차가 존재한다. 반면, 0.08(s)에서 제안된 알고리즘이 활성화된 이후에는 출력 전압(v2)의 정상 상태 오차가 제거됨을 나타낸다. 이는, 직렬 인덕터(L)와 출력 캐패시터(C2)의 실제 값을 정확히 추정하여 도 7b와 도 7c에 도시된 바와 같이 직렬 인덕터의 모델값(L)과 출력 캐패시터의 모델값(C2)가 각각 인덕터의 실제값(La)와 출력 캐패시터의 실제값(C2a)에 수렴하기 때문이다.

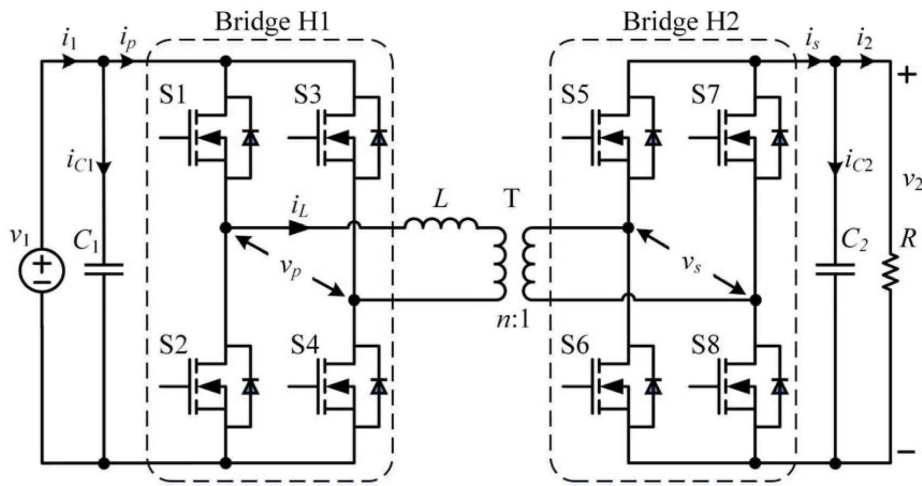
[0151] 본 명세서에 기재된 본 발명의 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시 예에 관한 것이고, 발명의 기술적 사상을 모두 포괄하는 것은 아니므로, 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있음을 이해하여야 한다. 따라서 본 발명은 상술한 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 권리범위 내에 있게 된다.

부호의 설명

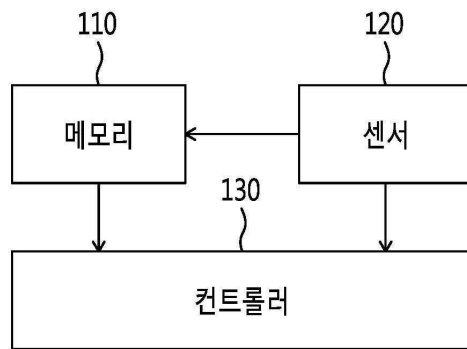
- [0152] 100; 제어기
- 110; 메모리
- 120; 센서
- 130; 컨트롤러

도면

도면1

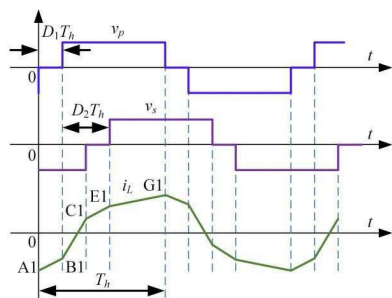


(a)

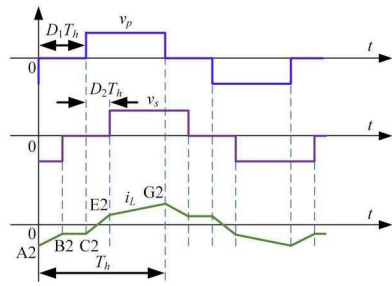


(b)

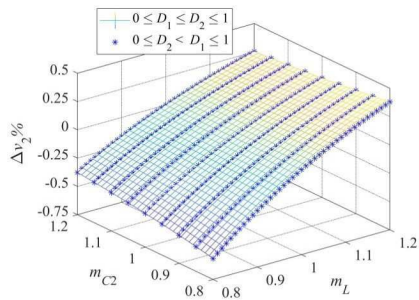
도면2a



도면2b



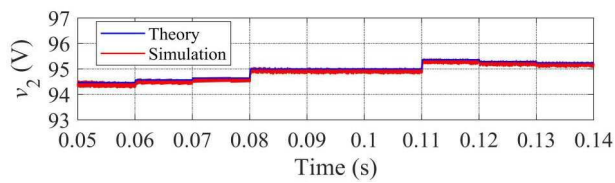
도면3



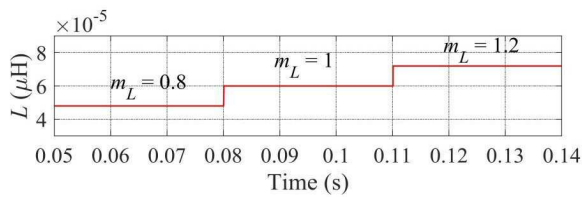
도면4

Parameter	Symbol	Values
Input voltage	v_1	100 V
Reference value of the output voltage	v_{2ref}	95 V
Switching frequency	f	10 kHz
Transformer turn ratios	n	1
Series inductance	L_a	60 μ H
Output capacitance	C_{2a}	220 μ F
Load	R	25 Ω

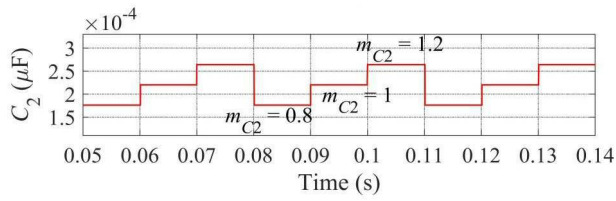
도면5a



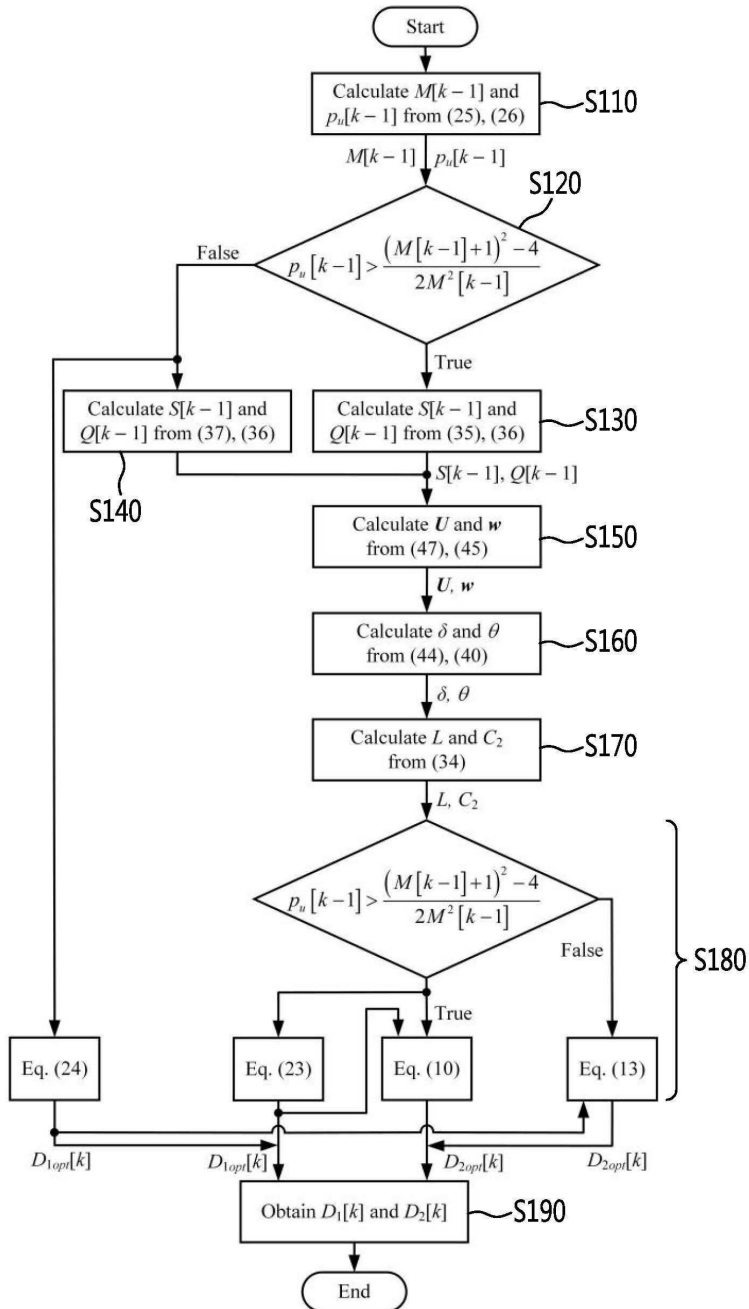
도면5b



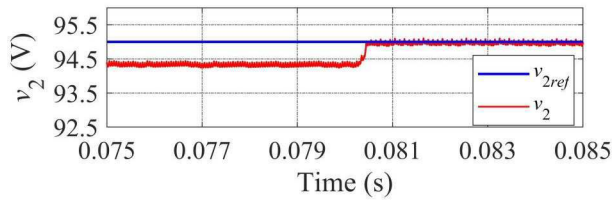
도면5c



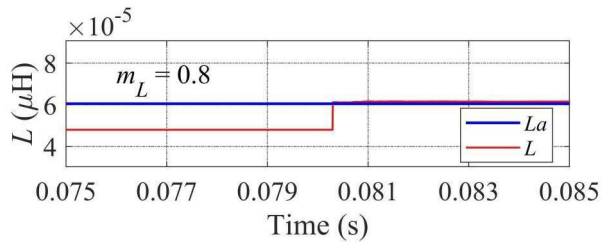
도면6



도면7a



도면7b



도면7c

